

대한민국특허청  
KOREAN INTELLECTUAL  
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

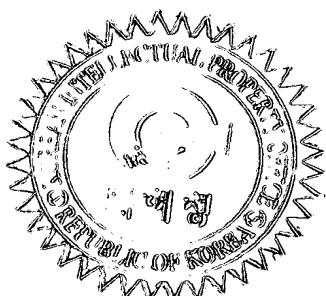
This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2003-0009808  
Application Number

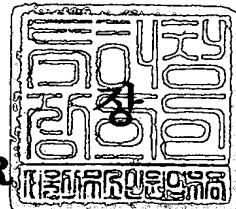
출원년월일 : 2003년 02월 17일  
Date of Application FEB 17, 2003

출원인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.

2003 년 06 월 12 일



특허청  
COMMISSIONER



## 【서지사항】

|            |  |
|------------|--|
| 【서류명】      | 특허출원서  |
| 【권리구분】     | 특허   |
| 【수신처】      | 특허청장   |
| 【참조번호】     | 0020   |
| 【제출일자】     | 2003.02.17   |
| 【국제특허분류】   | G11C   |
| 【발명의 명칭】   | ( N/2)스테이지를 갖는 어드레스 버퍼   |
| 【발명의 영문명칭】 | Address buffer having (N/2)stages  |
| 【출원인】      |  |
| 【명칭】       | 삼성전자 주식회사  |
| 【출원인코드】    | 1-1998-104271-3  |
| 【대리인】      |  |
| 【성명】       | 이영필  |
| 【대리인코드】    | 9-1998-000334-6  |
| 【포괄위임등록번호】 | 2003-003435-0  |
| 【대리인】      |  |
| 【성명】       | 정상빈  |
| 【대리인코드】    | 9-1998-000541-1  |
| 【포괄위임등록번호】 | 2003-003437-4  |
| 【발명자】      |  |
| 【성명의 국문표기】 | 채준완  |
| 【성명의 영문표기】 | CHAI , Joon Wan  |
| 【주민등록번호】   | 681226-1041815   |
| 【우편번호】     | 137-042  |
| 【주소】       | 서울특별시 서초구 반포2동 경남아파트 2-702   |
| 【국적】       | KR   |
| 【심사청구】     | 청구   |
| 【취지】       | 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인<br>이영필 (인) 대리인<br>정상빈 (인) |

1020030009808

출력 일자: 2003/6/13

【수수료】

|          |    |   |                   |   |
|----------|----|---|-------------------|---|
| 【기본출원료】  | 14 | 면 | 29,000            | 원 |
| 【가산출원료】  | 0  | 면 | 0                 | 원 |
| 【우선권주장료】 | 0  | 건 | 0                 | 원 |
| 【심사청구료】  | 7  | 항 | 333,000           | 원 |
| 【합계】     |    |   | 362,000           | 원 |
| 【첨부서류】   |    |   | 1. 요약서·명세서(도면)_1통 |   |

**【요약서】****【요약】**

(N/2)의 스테이지만을 가지고도 N-단 어드레스 버퍼와 동일한 기능을 하는 어드레스 버퍼가 제공된다. N(N은 자연수)개의 애더티브 레이턴시를 갖는 반도체 장치에 사용되는 어드레스 버퍼는 직렬로 접속되는 (N/2)개의 플립플롭들; 및 클락신호 및 명령신호에 응답하여 어드레스 인에이블 신호를 발생하는 어드레스 제어회로를 구비하며, 상기 (N/2)개의 플립플롭들 각각은 상기 어드레스 인에이블 신호에 클락되어 외부 어드레스를 순차적으로 래치한다.

**【대표도】**

도 3

**【색인어】**

애더티브 레이턴시

### 【명세서】

#### 【발명의 명칭】

(N/2)스테이지를 갖는 어드레스 버퍼{Address buffer having (N/2)stages}

#### 【도면의 간단한 설명】

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 상세한 설명이 제공된다.

도 1은 애더티브 레이턴시의 개념을 설명하기 위한 타이밍도를 나타낸다.

도 2는 종래의 N개의 애더티브 레이턴시를 갖는 반도체 장치에 사용되는 어드레스 버퍼의 회로도를 나타낸다.

도 3은 본 발명의 실시예에 따른 N개의 애더티브 레이턴시를 갖는 반도체 장치에 사용되는 어드레스 버퍼의 블락도를 나타낸다.

도 4는 도 3에 도시된 어드레스 제어회로의 동작 타이밍을 나타낸다.

#### 【발명의 상세한 설명】

#### 【발명의 목적】

#### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

<6> 본 발명은 반도체 장치에 사용되는 어드레스 버퍼에 관한 것으로, 보다 상세하게는 (N/2)단들만을 가지고 N개의 애더티브 레이턴시(additive latency)를 처리하는 어드레스 버퍼에 관한 것이다.

<7> 대역폭을 증가시키기 위하여 고속 반도체 메모리 장치는 데이터 기입동작시 또는 데이터 독출동작시 데이터를 인위적으로 지연시키는 구조(scheme)를 사용한다. 이러한 구조를 애더티브 레이턴시라고 한다.

<8> 도 1은 애더티브 레이턴시의 개념을 설명하기 위한 타이밍도를 나타낸다.

<9> 도 2는 종래의 N개의 애더티브 레이턴시를 갖는 반도체 장치에 사용되는 어드레스 버퍼의 회로도를 나타낸다. 도 2를 참조하면 N개의 플립플롭들(210\_1, 210\_2, ..., 210\_n)이 서로 직렬로 접속되고, 각 플립플롭(210\_1, 210\_2, ..., 210\_n)은 클럭신호(CLK)에 응답하여 외부 어드레스(ADD)를 순차적으로 래치한다.

<10> 도 1 및 도 2를 참조하면, PCR 명령(posted CAS read command)이 입력되는 경우 애더티브 레이턴시를 사용하는 고속 반도체 메모리 장치에서 실제 데이터의 독출은 애더티브 레이턴시(AL=2) 및 카스 레이턴시(Column Address Strobe Latency; CL=3) 경과 후에 이루어진다. 이 경우 어드레스는 총 레이턴시(RL=5)만큼 지연되어 출력된다.

<11> 따라서 반도체 메모리 장치에 N개의 애더티브 레이턴시가 존재하는 경우, 도 2에 도시된 바와 같은 N-단 플립-플롭(N-stage Flip-Flop)으로 된 어드레스 버퍼가 필요하다. 각 플립플롭(210\_1, 210\_2, ..., 210\_n)은 연속하여 입력되는 PCR 명령의 어드레스를 저장한다.

<12> 그러나 일반적인 설계 명세서(specification)의 PCR 명령과 PCR명령의 간격(DAL)은 2클락싸이클(2CK)이상이므로, 어드레스 버퍼(200)의 모든 단들에 어드레스가 저장되는 경우는 없다. 즉, 어드레스 버퍼(200)에 최대한으로 어드레스가 저장되는 경우 ( $N/2$ ) 스테이지만 필요하므로,  $N/2$ 의 스테이지는 불필요하다.

<13> 그러나 도 2에 도시된 어드레스 버퍼의 스테이지를 (N/2)로 줄이는 경우, N 개의 애더티브 레이턴시를 확보하지 못하므로 회로가 정상적으로 동작하지 못하는 경우가 발생한다.

#### 【발명이 이루고자 하는 기술적 과제】

<14> 따라서 본 발명이 이루고자 하는 기술적인 과제는 (N/2)의 스테이지만을 가지고도 N-단 어드레스 버퍼와 동일한 기능을 하는 어드레스 버퍼를 제공하는 것이다.

#### 【발명의 구성 및 작용】

<15> 상기 기술적 과제를 달성하기 위한 N(N은 자연수)개의 애더티브 레이턴시를 갖는 반도체 장치에 사용되는 어드레스 버퍼는 직렬로 접속되는 (N/2)개의 플립플롭들; 및 클락신호 및 명령신호에 응답하여 어드레스 인에이블 신호를 발생하는 어드레스 제어회로를 구비하며, 상기 (N/2)개의 플립플롭들 각각은 상기 어드레스 인에이블 신호에 클락되어 외부 어드레스를 순차적으로 래치한다.

<16> 상기 어드레스 제어회로는 상기 클락신호에 응답하는 N비트 카운터; 상기 N비트 카운터의 출력신호들을 수신하고 논리곱하는 논리곱 게이트; 및 상기 명령신호 및 상기 논리곱 게이트의 출력신호를 수신하고 논리합하고, 그 결과로서 상기 어드레스 인에이블 신호를 출력하는 논리합 게이트를 구비한다.

<17> 상기 기술적 과제를 달성하기 위한 N개의 애더티브 레이턴시를 갖는 반도체 장치에 사용되는 어드레스 버퍼는 클락신호에 응답하는 N비트 카운터; 상기 N비트 카운터의 출력신호들을 수신하고 논리곱하는 논리곱 게이트; 명령신호 및 상기 논리곱 게이트의 출력신호를 수신하고 논리합하는 논리합 게이트; 및 직렬로 접속되는 (N/2)개의 플립플롭

들을 구비하여, 상기 (N/2)개의 플립플롭들 각각은 상기 논리합 게이트의 출력신호에 클락되어 외부 어드레스를 래치하고 출력한다.

<18> 상기 N비트 카운터는 상기 명령신호에 응답하여 리셋되고, 상기 명령 신호는 기입 명령 또는 독출 명령에 응답하여 활성화된다.

<19> 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.

<20> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

<21> 도 3은 본 발명의 실시예에 따른 N개의 애더티브 레이턴시를 갖는 반도체 장치에 사용되는 어드레스 버퍼의 블럭도를 나타낸다. 도 3을 참조하면, N개의 애더티브 레이턴시를 갖는 반도체 장치에 사용되는 어드레스 버퍼(300)는 어드레스 제어회로(310) 및 쉬프팅 회로(320)를 구비한다.

<22> 어드레스 제어회로(310)는 N비트 카운터(311), 논리곱 게이트(313) 및 논리합 게이트(315)를 구비한다. N비트 카운터(311)는 클락신호(CLK)에 클락되어 (clocked) N비트의 카운트 값(CNT1, CNT2, ..., CNTn)을 논리곱 게이트(313)로 출력한다. N비트 카운터(311)는 명령신호(CM\_EN)의 하강에지에 응답하여 리셋된다. 여기서 명령신호(CM\_EN)는 기입 명령 또는 독출 명령이 입력되었을 때 활성화된다.

<23> 논리곱 게이트(313)는 N비트 카운터(311)의 출력신호들(CNT1, CNT2, ..., CNTn)을 수신하여 논리곱하고, 그 결과를 논리합 게이트(315)로 출력한다.

<24> 논리합 게이트(315)는 명령신호(CM\_EN) 및 논리곱 게이트(313)의 출력신호를 수신하여 논리합하고, 그 결과(ADD\_EN)를 어드레스 인에이블 신호로서 쉬프팅 회로(320)로 출력한다.

<25> 쉬프팅 회로(320)는 직렬로 접속되는 다수개의 플립플롭들(321, 323, ..., 325)을 구비한다. 첫 번째 단의 플립플롭(321)은 어드레스 인에이블 신호(ADD\_EN)에 응답하여 어드레스(ADD)를 래치하고, 두 번째 단의 플립플롭(323)은 어드레스 인에이블 신호(ADD\_EN)에 응답하여 플립플롭(321)을 출력신호를 래치한다. 그리고 (N/2)단의 플립플롭(325)은 어드레스 인에이블 신호(ADD\_EN)에 응답하여 (N/2)-1 단의 플립플롭(미 도시)의 출력신호를 버퍼된 어드레스 신호(BF\_ADD)로서 출력한다.

<26> 즉, 직렬로 접속되는 (N/2)개의 플립플롭들(321, 323, ..., 325)각각은 외부로부터 입력되는 어드레스(ADD)를 어드레스 인에이블 신호(ADD\_EN)가 활성화될 때마다 순차적으로 쉬프팅(shifting)시킨다. 여기서 각 플리플롭을 단(stage)이라도 한다.

<27> 도 4는 도 3에 도시된 어드레스 제어회로의 동작 타이밍을 나타낸다. 도 4는 애더티브 레이턴시가 2인 경우를 도시한다. 그러나 본 발명에 따른 어드레스 버퍼는 애더티브 레이턴시가 2인 경우에 한정되는 것은 아니다.

<28> 도 3 및 도 4를 참조하면, CMD & ADD에서 WR\_A는 기입 명령(WR)과 어드레스(A)를 나타내고, WR\_B는 기입 명령(WR)과 어드레스(B)를 나타내고, WR\_C는 기입 명령(WR)과 어드레스(C)를 나타낸다.

<29> N비트 카운터(311)가 2비트 카운터이고, 3개의 기입 명령들(WR\_A, WR\_B, WR\_C)이 연속적으로 입력되는 경우를 설명하면 다음과 같다.

<30> 2비트 카운터(311)는 (WR\_A)에 응답하여 리셋되고 동작하므로, 2비트 카운터 (311)의 출력신호가 11인 경우 논리합 게이트(315)의 출력신호(ADD\_EN)는 활성화된다. 따라서 첫 번째 단의 플립플롭(321)은 활성화된 어드레스 인에이블 신호 (ADD\_EN)에 응답하여 외부 어드레스(ADD)를 래치한다.

<31> 명령신호(CM\_EN)가 비활성화(예컨대 논리 로우)되고 2비트 카운터(311)의 출력신호가 10인 경우 논리곱 게이트(313)의 출력신호는 비활성화된다. 따라서 논리합 게이트(315)의 출력신호(ADD\_EN)는 비활성화된다.

<32> (WR\_B)가 입력되는 경우의 동작은 (WR\_A)이 입력되는 경우의 동작과 실질적으로 동일하므로 이에 대한 상세한 설명은 생략한다.

<33> (WR\_C)가 입력되는 경우 2비트 카운터(311)는 클락신호(CLK)의 상승에지에 응답하여 카운트 값(CNT1, CNT2)을 출력한다. 논리합 게이트(315)는 명령신호 (CM\_EN)와 논리곱 게이트(313)의 출력신호의 조합에 따른 어드레스 인에이블 신호(ADD\_EN)를 각 플립플롭(321, 323, ..., 325)으로 출력한다.

<34> 즉, 논리곱 게이트(313) 및 논리합 게이트(315)는 카운터(311)의 출력신호 (CNT1, CNT2, ..., CNTn)를 수신하고, 디코딩하여 유효 어드레스가 입력되는 시점에 어드레스 인에이블 신호(ADD\_EN)를 활성화시킨다.

<35> 따라서 어드레스 인에이블 신호(ADD\_EN)는 유효 어드레스가 입력되는 시점에서만 활성화되므로 쉬프팅 회로(320)에 사용되는 플립-플롭들의 수를 감지시킬 수 있다. 따라서 어드레스 버퍼의 레이아웃(layout) 면적은 감소한다.

<36> 본 발명은 도면에 도시된 일 실시 예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

### 【발명의 효과】

<37> 상술한 바와 같이 본 발명에 따른 N개의 애더티브 레이턴시를 갖는 반도체 장치에 사용되는 어드레스 버퍼는  $(N/2)$ 의 스테이지만을 가지고도  $N$ -단 어드레스 버퍼와 동일한 기능을 하는 이점이 있다. 즉  $N$  스테이지 버퍼를  $(N/2)$ 스테이지 버퍼로 줄이는 효과가 있다.

**【특허청구범위】****【청구항 1】**

N(N은 자연수)개의 애더티브 레이턴시를 갖는 반도체 장치에 사용되는 어드레스 버퍼에 있어서,

직렬로 접속되는  $(N/2)$ 개의 플립플롭들; 및

클락신호 및 명령신호에 응답하여 어드레스 인에이블 신호를 발생하는 어드레스 제어회로를 구비하며,

상기  $(N/2)$ 개의 플립플롭들 각각은 상기 어드레스 인에이블 신호에 클락되어 외부 어드레스를 순차적으로 래치하는 것을 특징으로 하는 어드레스 버퍼.

**【청구항 2】**

제1항에 있어서, 상기 어드레스 제어회로는,

상기 클락신호에 응답하는 N비트 카운터;

상기 N비트 카운터의 출력신호들을 수신하고 논리곱하는 논리곱 게이트; 및

상기 명령신호 및 상기 논리곱 게이트의 출력신호를 수신하고 논리합하고, 그 결과로서 상기 어드레스 인에이블 신호를 출력하는 논리합 게이트를 구비하는 것을 특징으로 하는 어드레스 버퍼.

**【청구항 3】**

제2항에 있어서, 상기 N비트 카운터는 상기 명령신호에 응답하여 리셋되는 것을 특징으로 하는 어드레스 버퍼.

**【청구항 4】**

제1항에 있어서, 상기 명령신호는 데이터 기입 명령 또는 데이터 독출 명령에 응답하여 활성화되는 것을 특징으로 하는 어드레스 버퍼.

**【청구항 5】**

N개의 애더티브 레이턴시를 갖는 반도체 장치에 사용되는 어드레스 버퍼에 있어서,  
클락신호에 응답하는 N비트 카운터;  
상기 N비트 카운터의 출력신호들을 수신하고 논리곱하는 논리곱 게이트;  
명령신호 및 상기 논리곱 게이트의 출력신호를 수신하고 논리합하는 논리합 게이트;  
직렬로 접속되는  $(N/2)$ 개의 플립플롭들을 구비하며,  
상기  $(N/2)$ 개의 플립플롭들 각각은 상기 논리합 게이트의 출력신호에 클락되어 외부 어드레스를 래치하고 출력하는 것을 특징으로 하는 어드레스 버퍼.

**【청구항 6】**

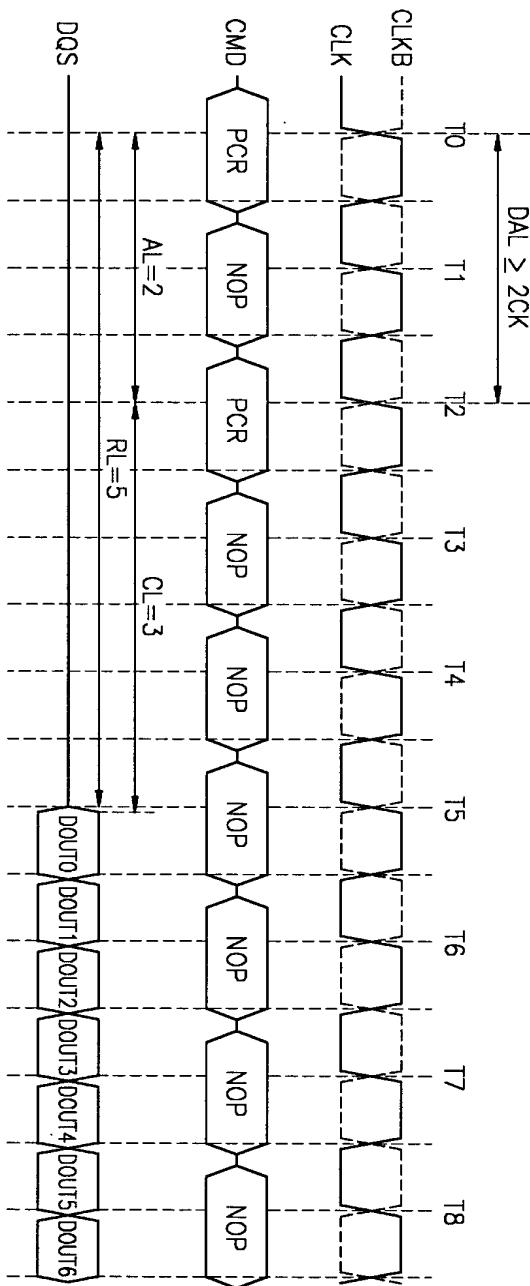
제5항에 있어서, 상기 N비트 카운터는 상기 명령신호에 응답하여 리셋되는 것을 특징으로 하는 어드레스 버퍼.

**【청구항 7】**

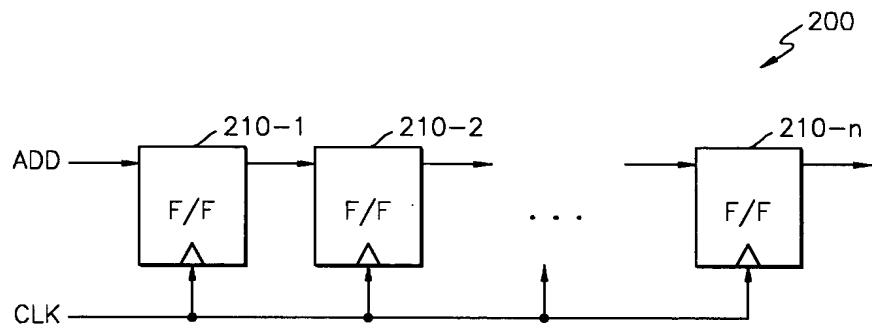
제5항에 있어서, 상기 명령 신호는 기입 명령 또는 독출 명령에 응답하여 활성화되는 것을 특징으로 하는 어드레스 버퍼.

【도면】

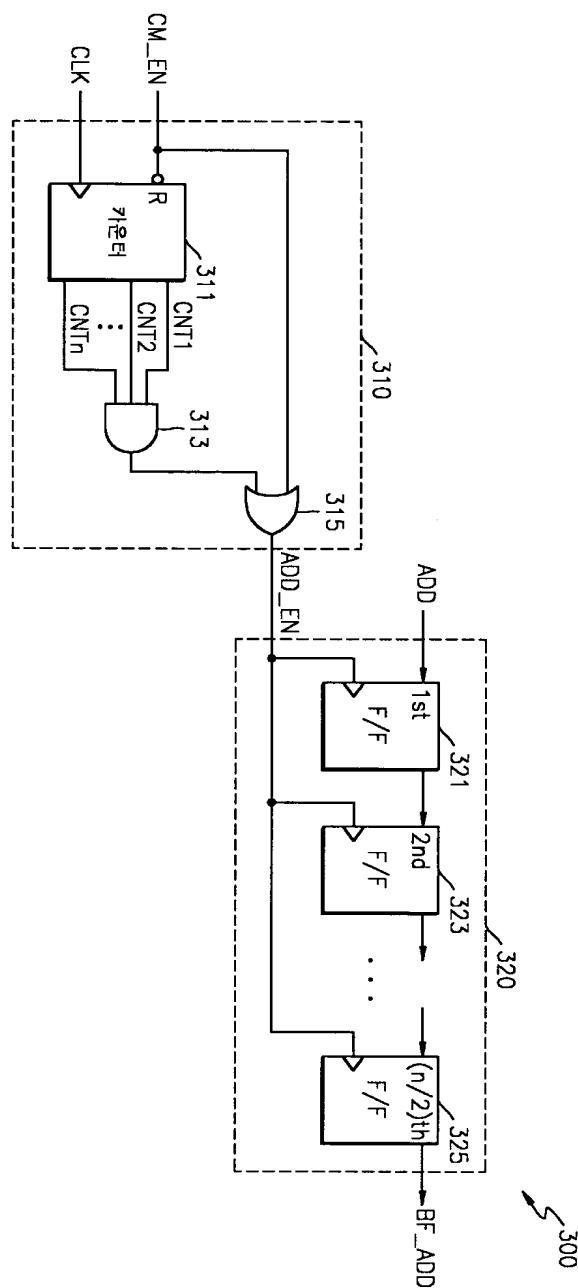
【H】



【도 2】



【도 3】



【그림 4】

